

5-7-75

AU 255

48512

JA 0254762

DEC 1985

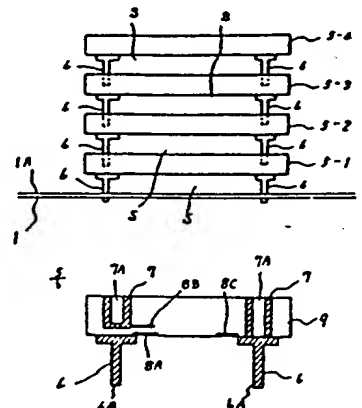
✓ OS / 4 DE 55 1/2

**(54) PACKAGE FOR SEMICONDUCTOR ELEMENT**

(11) 60-254762 (A) (13) 16.12.1985 (19) JP  
 (21) Appl. No. 59-111264 (22) 31.5.1984  
 (71) FUJITSU K.K. (72) SHIYOUHEI IKEHARA  
 (51) Int. Cl. H01L25/10

**PURPOSE:** To set address data for selecting semiconductor elements and to facilitate the increase and decrease in number of the semiconductor elements to be mounted, by providing contact pieces on the upper surfaces of packages, and mounting a plurality of the packages.

**CONSTITUTION:** Terminals 6 are provided at one side of a member 9 made of a ceramic material and the like. Contact pieces 7 are provided on the other side. Tip parts 6A are formed so that they can be inserted and pulled out. The terminals 6 and the contact pieces 7 are connected to semiconductor elements to be mounted through pattern wirings 8A, 8B and 8C. The increase and decrease in memory capacity are carried out by changing the number of mounting stages of packages 5. For the packages 5-1-5-4, inverters 1 are formed between the terminals 6-1 and the contact pieces 7-1, and exclusive OR gates G are formed between the terminals 6-2 and the contact pieces 7-2. Therefore, address data can be set based on the mounting sequence of the packages.



BEST AVAILABLE COPY

⑫ Int.Cl.<sup>4</sup>

H 01 L 25/10

識別記号

庁内整理番号

7638-5F

⑬ 公開 昭和60年(1985)12月16日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体素子のパッケージ

⑮ 特 願 昭59-111264

⑯ 出 願 昭59(1984)5月31日

⑰ 発 明 者 池 原 昌 平 川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑲ 代 理 人 弁 理 士 松 岡 宏 四 郎

## 明 細 書

## 1. 発明の名称

半導体素子のパッケージ

## 2. 特許請求の範囲

半導体素子を有するパッケージであって、一面にアドレス設定信号を入力するための第1端子、該一面とは逆の面の該第1端子に対応する位置に第2端子、該第1端子より入力された該アドレス設定信号を変更して該第2端子より出力するアドレス変更手段を有することを特徴とする半導体素子のパッケージ。

## 3. 発明の詳細な説明

## (a) 発明の技術分野

本発明はプリンリ基板上に半導体素子を有する同一種類の複数のパッケージが積載されて実装された半導体素子の実装方法に係り、特に、所定のパッケージが選択できる回路が形成されるようにした半導体素子のパッケージに関する。

## (b) 従来技術と問題点

複数のメモリ素子などの半導体素子がプリント

基板上に実装される場合は第1図に示すように構成されている。第1図は従来の半導体素子のパッケージの概観を示す(a)図は斜視図、(b)図は説明図である。

(a)図に示すように半導体素子2-1~2-nはリード端子が設けられたパッケージに封止され、パターン配線を有するプリント板基板1の実装面1Aにパッケージを配設することによって実装されている。このパッケージのそれぞれのリード端子はプリント板基板1の所定のランドに半田付され、パターン配線に接続されるように構成されている。

このような半導体素子2-1~2-nは例えば装置の構成上メモリ容量が増減する場合があり、半導体素子2-1~2-nの実装数を変える必要がある。したがって、半導体素子2-1~2-nの実装数が減少した場合は当然プリント板基板1の大きさは小さくでき、例えば $l_1$ の長さの大きさは点線のようになり、 $l_2$ の長さの小さくすることができる。しかし、一般的にプリント板基板1の大きさは所定の大きさによって形成されているため、大きさの異なる複数のプリント板基板1を製作す

ことはコストアップとなる。

そこで、所定の大きさのプリント基板1には必要な半導体素子2-1~2-nを配設し、メモリ容量の増減によって不要となった半導体素子は除去し、半導体素子の未実装箇所が有するよう形成されている。したがって、実装効率が悪い欠点を有していた。

また、このような構成では半導体素子2-1~2-nは所定の半導体素子を選択してアクセスできるよう(b)図に示す回路が形成されている。

半導体素子2-1~2-nのそれぞれにはアドレス設定部4-1~4-nとゲートG1~Gnとが設けられ、アドレス設定部4-1~4-nに所定のアドレスを設定することにより、記憶部3-1~3-nのアクセスは所定のアドレス情報をそれぞれのゲートG1~Gnに送出し所定の記憶部が選択されて行なわれるよう形成されている。したがって、それぞれのアドレス設定部4-1~4-nの一つ一つに対して所定のアドレスを設定しなければならない問題を有していた。

(c)図は説明図、第3図は構成図である。

プリント基板1の実装面1Aにはパッケージ5-1の端子6が半田付されることでパッケージ5-1が固着され、このパッケージ5-1には更にパッケージ5-2が、パッケージ5-2はパッケージ5-3が、それぞれの端子6が挿入されることで積載するように実装されるようにしたものである。

このような積載は(b)図に示すようにパッケージ5を形成することで行なえる。セラミック材などによって形成された部材9の一方には端子6を設け、他方には接触片7を設け、接触片7の挿入孔7Aは端子6の先端部6Aが挿脱できるように形成され、それぞれの端子6および接触片7にはパターン配線8A、8B、8Cを介して内設された半導体素子に接続されるよう形成されている。

したがって、メモリ容量の増減によって半導体素子の実装数を変える場合は積載されたパッケージ5の積載段数を変えることで行なえ、増減は容易に行なえる。尚、パッケージ5-1、5-2、

#### (c) 発明の目的

本発明の目的はパッケージの上面には接触子を設け、複数のパッケージが積載して実装できるようにしこの積載によって半導体素子の選択すべきアドレス情報の設定が行なわれ、かつ、半導体素子の実装の増減が容易に行なえるようにしたもので、前述の問題点を除去したものを提供するものである。

#### (d) 発明の構成

本発明の目的は、かかる半導体素子の実装方法にかいて、一面にアドレス設定信号を入力するための第1端子、該一面とは逆の面の該第1端子に対応する位置に第2端子、該第1端子より入力された該アドレス設定信号を変更して該第2端子より出力するアドレス変更手段を有することを特徴とする半導体素子のパッケージにより達成される。

#### (e) 発明の実施例

以下本発明を第2図および第3図を参考に詳細に説明する。第2図は本発明による半導体素子のパッケージの一実施例を示す、第2図の(a)、(b)、

5-3、5-4の積載には冷却を考慮して間隔Sを設けると良い。また、(c)図に示す所定のパッケージを選択する番地認識回路を形成することもできる。

それぞれのパッケージ5-1~5-4には端子6-1と接触片7-1との間にインバータIを、端子6-2と接触片7-2との間に排他オアゲートGを形成すると、積載されることにより、パッケージ5-1と5-2、5-2と5-3、5-3と5-4とはそれぞれの端子6-1が接触片7-1に、端子6-2が接触片7-2に接続される。

そこで、パッケージ5-1の端子6-1と端子6-2とを"0"にすると、パッケージ5-2の端子6-1と6-2は"1"と"0"、パッケージ5-3の端子6-1と6-2は"0"と"1"、パッケージ5-4の端子6-1と6-2は"1"と"1"が出力される。したがってパッケージの積載順序によってアドレス情報の設定が行なわれる。

また、例えば、第3図に示す回路構成が可能である。互いの端子片6と接触子7とが接続されて

一2を遷移する場合は83を1°, 84を0°, パ  
 ナチンジ5-9を遷移する場合は83°0', 84を  
 1°, パナチンジ5-4を遷移する場合は83を1°,

20より構成すると、7P1X通称番号S3  
とS4の所定の7P1X情報によって、7P1X-  
1G2、G3出力を受ける7P1G4を介して所定  
の7P1X-1が選択され、所定の記憶素子Mを7  
P1Xすることができる。

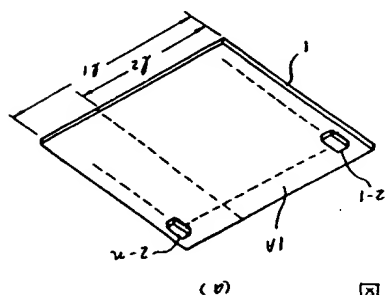
## (1) 証明の放棄

以上説明したように本発明は、パター・シフトは横  
書きされて実装されるようにし、パター・シフトは縦  
書きされることと、パター・シフトに形成されたグ  
ラフ回路によって所定のアドレスが設定されるように  
したものである。

したものである。

これにより、パナソニックの発表は傾倒されて行なわれているため、パナソニックの発表による平準体素子の発表数の増減が容易となり、かつ、

興業効率の向上を図ることができ、更に、従来  
のよりなアベレ設定部および設定部のアベレ



(v)   

積載されたバグクォンツ5-1、5-2、5-3、5-4のそれぞれにはクートG1-G4とインパージ1とが設けられている。クートG1とインパージ1は前述のように、TFV情報の設定が行なわれる。例えば、TFV情報S1、52を“0”に設定

し、アフレマ変換番号S3とS4とが“0”の時は  
 バグテ-ジ-5-1の排他ノアゲ-トG2とG3の出  
 力は“1”となり、又、変換指示番号S5が“1”に  
 なるので、アソフア-トG4はオ-アソなる。しか  
 し、バグテ-ジ-5-2では排他ノアゲ-トG2の  
 出力が“0”、排他ノアゲ-トG3の出力が“1”と

なり、バクテ-5-3では排他ノアクトG2  
の出力が"1"、排他ノアクトG3の出力が"0"  
となり、バクテ-5-4では排他ノアクトG2  
とG3との出力が"0"となり、いづれのアクト  
-1G4もクロ-クとなる。したがって、アクト  
レベルト番号S5はバクテ-5-1の配糖分子M  
をアクトとするが、バクテ-5-2、5-3、  
5-4の配糖分子Mはアクトされない。又、ア  
クト情報S1、S2を"0"に設定しバクテ-5

#### 4. 図面の簡単な説明

設定は不要となり、実用効果は大である。

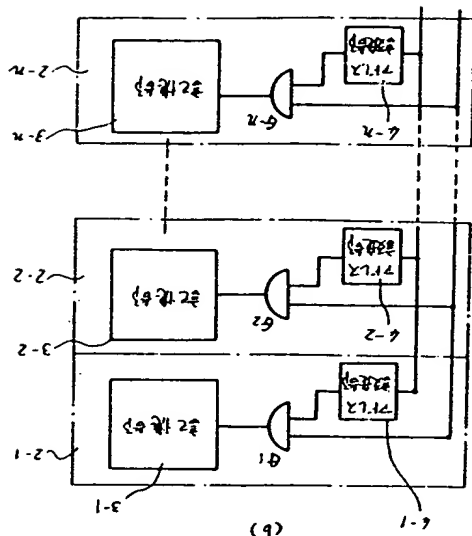
第 1 図は従来の半導体素子のバグケーシングを示す  
(a)図は斜視図、(b)図は説明図、第 2 図の(a)(b)(c)図  
は本発明による半導体素子のバグケーシングの一実施  
例を示す説明図、第 3 図は回路構成図を示す。

2014.12.12

1 はフリント板基、2-1~2-0 は半導体素子、3-1~3-0 は配線部、4-1~4-0 はフレイム設定部、5-1、5-2、5-3、5-4 はバグー、6-1、6-2、6 は素子、7-1、7-2、7 は接片を示す。

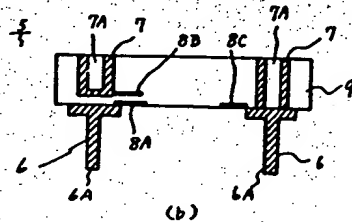
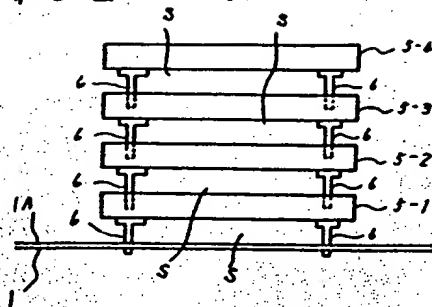
7-1, 7-2, 7は接片を示す。

代理人 弁理士 松岡 幸四郎

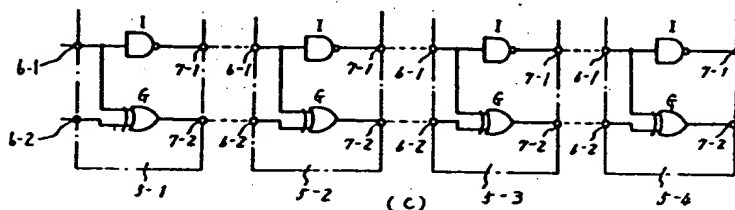


第 2 図

(a)

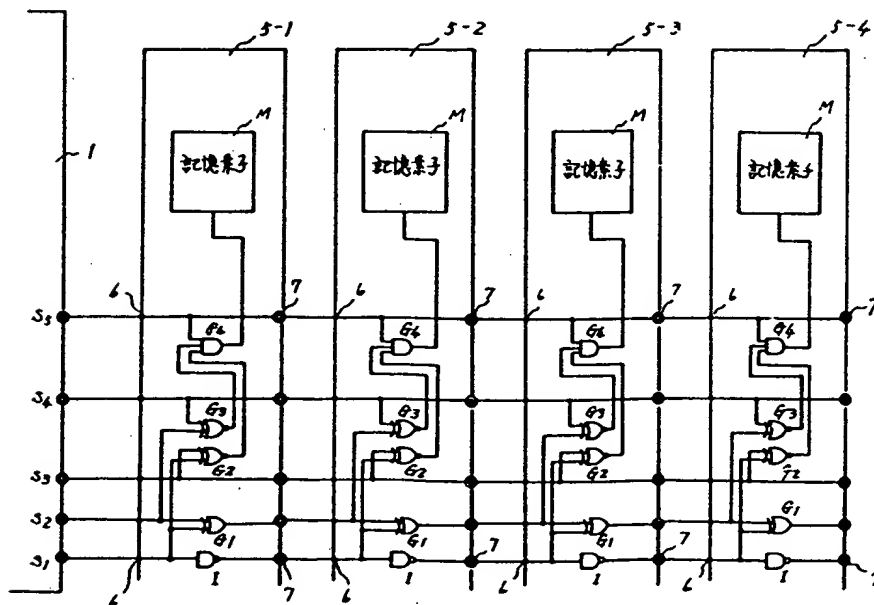


(b)



(c)

第 3 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**